

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 01233702 A

(43) Date of publication of application: 19.09.89

(51) Int Cl

H01C 7/02

(21) Application number: 63061710

(22) Date of filing: 14.03.88

(71) Applicant: MURATA MFG CO LTD

(72) Inventor:
YONEDA YASUNOBU
SHIMABARA YUTAKA
SAKABE YUKIO

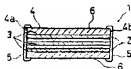
(54) V2O3 CERAMIC RESISTANCE ELEMENT

COPYRIGHT: (C)1989,JPO&Japio

(57) Abstract:

PURPOSE To improve the thermal shock resistance of a ceramic layer and suppress hysteresis in its layer, by causing the average particle sizes of the ceramic layer to be less than $3\mu\text{m}$, thereby making its layer thin in a resistance element consisting of V_2O_3 system ceramics.

CONSTITUTION: A resistance element 1 is formed by laminating alternately ceramic layers 2 having V_2O_3 as principal components and internal electrodes 3 consisting of tungsten, thereby forming external electrodes 5 consisting of Cu after coating them at both side faces 4a and 4b of a sintered compact which is sintered in one. In such a case, the average particle sizes of the ceramic layer 2 are set to be less than $3\mu\text{m}$. While making the thickness of each ceramic layer 2 thin so that the resistance element 1 may have a size which does not interfere with its practical use, the number of particles in the direction of the necessary film thickness is secured. Thus, the thermal shock resistance of the ceramic layers is improved and hysteresis in these layers is suppressed.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-233702

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)9月19日

H 01 C 7/02

7048-5E

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 V_2O_5 系セラミクス抵抗体素子

⑯ 特 願 昭63-61710

⑰ 出 願 昭63(1988)3月14日

⑱ 発 明 者 米 田 康 信 京都府長岡京市天神2丁目26番10号 株式会社村田製作所内

⑲ 発 明 者 島 原 豊 京都府長岡京市天神2丁目26番10号 株式会社村田製作所内

⑳ 発 明 者 坂 部 行 雄 京都府長岡京市天神2丁目26番10号 株式会社村田製作所内

㉑ 出 願 人 株式会社村田製作所 京都府長岡京市天神2丁目26番10号

㉒ 代 理 人 弁理士 下 市 努

明 細 書

1. 発明の名称

V_2O_5 系セラミクス抵抗体素子

2. 特許請求の範囲

(I) 所定の温度で導体から絶縁体に移する抵抗特性を有する V_2O_5 系セラミクスからなる抵抗体素子において、上記セラミクスの平均粒径が3 μ m以下であることを特徴とする V_2O_5 系セラミクス抵抗体素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、 V_2O_5 を主成分とするセラミクスからなるPTC抵抗体素子に関し、特にヒステリシス、クラックの発生を抑制することにより、大電流、大電力用の制限素子として採用できるようにした V_2O_5 系抵抗体素子に関する。

(従来の技術)

一般に、PTC抵抗体素子に採用される V_2O_5 系半導体セラミクスは、ある所定の温度で導体から絶縁体へ移行する、いわゆるモット転移を利用

したものである。この V_2O_5 系抵抗体素子は、 $B \propto T^{1/2}$ 系に比べPTC特性の寛化率が2ケタ程度低いものの、比抵抗が約10⁻² Ω cmと小さいことから電流密度が大きく、大電流、大電力用の過電流保護素子としての利用が期待されている。(発明が解決しようとする問題点)

しかしながら、上記従来の V_2O_5 系抵抗体素子を厚板状に焼結成形して、PTC特性を測定すると温度上昇時の往路と温度下降時の復路とでは別の抵抗特性曲線を描くという履歴現象、いわゆるヒステリシスが大きいという問題点がある。このヒステリシスは過電流状態の温度上昇時における基準抵抗値を示す温度と、解除冷却されて上記基準抵抗値に戻った時の温度との差である。例えば、第3図のヒステリシス特性図に示すように、温度上昇中のPTCカーブaの抵抗の対数値の1/2を半導抵抗c(基準抵抗値)として、温度上昇時の基準抵抗値cを示す温度に対して、冷却時のPTCカーブdで同値抵抗cとなる温度は約30度も低くなり、このように従来の V_2O_5 系抵抗体

素子のヒステリシスは最大で20〜30℃にも達する。

また、上記従来のV₁O₅系低抵抗体素子は、自己発熱によって急激に温度上昇した場合、素子内の温度分布が不均一となり、その温度差からクラックが発生し易く、耐熱衝撃性が低いという問題点もある。このことから、上記従来のV₁O₅系低抵抗体素子を大電流、大電力用の制限素子として採用するには、実用上の制約が大きく、適用範囲が狭いという問題点がある。

本発明の目的は、上記ヒステリシス及び熱衝撃によるクラックの発生を抑制することにより、過電流保護素子として採用できるV₁O₅系セラミクス低抵抗体素子を提供することにある。

(問題点を解決するための手段)

ここで、本発明者等は、V₁O₅系セラミクス層と内部電極とを交互に積層し、この積層体を一体化してなる低抵抗素子を開発した。この積層化したV₁O₅系低抵抗体素子によれば、各内部電極を通して熱拡散性を向上でき、さらに内部電極面積の増大により電界を分散できるという2つ

の効果が得られることから、上記低抵抗体素子の温度の上昇、下降を均一にでき、ヒステリシス、耐熱衝撃性を向上できる。

ところで、上記セラミクス層を積層する構造の低抵抗体素子では、各セラミクス層の厚さによっては部品が大型化するとおそれがあることから、各層の厚さをできるだけ薄くすることが大型化を防止するうえで有利であると考えられる。しかしこの場合、従来の材質、粒径のV₁O₅系セラミクス粉を用いて各セラミクス層を極端に薄くするとヒステリシス抑制効果が低下することが判明した。本発明者らがこの原因について検討したところ、各セラミクス層の厚さを極端に薄くすると、厚み方向の粒子数が不足し、これによりヒステリシス特性等に悪影響を与えていることを発見した。なお、従来の単板からなるV₁O₅系低抵抗体素子においては、単板の厚さが充分に厚く、これに使用されるセラミクスの粒径はこの厚さに対して一般的に無視できるほど小さいため、上記粒径が問題になることはなかった。

そこで、本発明者らが上記セラミクスの粒径について着目し、種々実験を行ったところ、セラミクスの平均粒径は、各セラミクス層の厚さの約1/8以下でないと満足できる特性が得られない、またセラミクスの粒径が大きいほどモット転移時の熱応力が大きくなり、その結果クラックを発生し易く、かつヒステリシスを増大させるという結果を得た。この実験から、上記セラミクスの粒径を規定してやれば、実用上支障のない大きさの積層型低抵抗体素子が得られる程度に各セラミクス層厚さを薄くしても特性に悪影響を与えることのない粒子数を確保できるとともに、モット転移時の応力を緩和でき、その結果ヒステリシス、耐熱衝撃性を向上して、大電力用の制限素子として利用できることに想到し、本発明を成したものである。

そこで本発明は、V₁O₅系セラミクスからなる低抵抗体素子において、上記セラミクスの平均粒径が3 μ m以下であることを特徴としている。

ここで、本発明の低抵抗体素子は、セラミクス層と内部電極とを交互に積層してなる積層型に採用

するのが望ましい。この積層型の場合は各セラミクス層の厚さが薄いので、粒径を3 μ m以下とすることによる効果が大きいからである。

また、本発明のV₁O₅系セラミクスとしては、(V_{1-x}C_x)₅O₁₅（ここで0 \leq x \leq 0.2）に、Sb、Bi、Pbのうち少なくとも1種を0.05〜2.0重量%含有してなる組成から構成するのが望ましい。

上記Sb、Bi、Pbの少なくとも1種を0.05重量%以上添加することにより、モット転移が得られ、かつヒステリシスを抑制でき、PTC低抵抗素子として利用できる。一方、これらを2.0重量%以上添加すると、粉末の焼結性が必要以上に悪くなり、微細粒子が凝結して上述の平均粒径3 μ mの実現が困難となる。

(作用)

本発明に係るV₁O₅系セラミクス低抵抗体素子によれば、セラミクスの平均粒径を3 μ m以下としたので、各セラミクス層の厚さを実用上支障のない厚さ、例えば24 μ mまで薄くしても必要な厚

き方向の粒子数を確保できることから、満足できるP-T特性を得られる。また、粒子径を小さくしたので、セラミクス層の厚さ方向の粒子密度を向上でき、それだけモット転移時の熱応力が緩和されることとなり、クラックの発生を防止して耐熱衝撃性を向上でき、かつ熱応力緩和が一樣に速みよくなることから、温度変化を均一にしてヒステリシスを大幅に小さくでき、その結果大電流、大電力用の制限素子として利用できる。

(実施例)

以下、本発明の実施例を図について説明する。

第1図及び第2図は本発明の一実施例によるV、O、系セラミクス抵抗体素子を示す図である。

図において、1は本実施例の標準化したV、O、系セラミクス抵抗体素子であり、その外形は、幅5.6 mm、高さ5.0 mm、長さ2.0 mm程度の直方体状のものである。この抵抗体素子1は、V、O、を主成分とするセラミクス層2とタンガステン(W)からなる内部電極3とを交互に積層して、一体焼結された焼結体4の両側面4a、4bにC

材料を生成する。

① 上記セラミクス材料をドクターブレード法によって、所定の均一厚さのグリーンシートに成形した後、乾燥させて矩形状にカッティングする。

② そして、上記各グリーンシートの上面にベース状のW電極を所定のパターン形状(後述の切断時に、第2図に示すように、電極の一边部分3aのみが外縁まで延び、他の辺部分は内方に位置する形状)にスクリーン印刷して多数の内部電極3を形成した後、該各内部電極3が各グリーンシートを挟んで対向するように積層し(第2図参照)、さらにこの積層されたシートの上、下にグミとしてセラミクスシートを覆って積層体を成形する。次に、この積層体をプレスによって積層方向に圧着した後、所定寸法に切断する。するとこれにより、内部電極3は、該積層体の両側面に位置する部分3aのみが外方に露出し、残りの部分は上記各シート内に埋設され、一体化されることとなる。

③ 次に、上記所定寸法に切断された積層体を、

uからなる外部電極5を積層形成して構成されている。なお、上記焼結体4の上、下面部分はグミーとしてのセラミクス層6で覆われている。

また、上記各内部電極3の端面部3bは、焼結体4の側面4aと側面4bとに交互に露出されており、これ以外の部分は上記焼結体4内に埋設されている。これにより、上記各内部電極3は外部電極5に接続されている。

次に本実施例のV、O、系セラミクス抵抗体素子1の製造方法について説明する。

① まず、V、O、99.99%、Cr、O、1.00%に、Sb、O、Bi、O、Pb、O、の1種以上を配合し、これにトルエンを溶媒として添加し、ボールミルで約24時間粉砕する。

② 次に、上記セラミクス粉末を炭粉、乾留後、Aer-H、雰囲気中で1000℃で4時間焼結する。そして、この焼結したセラミクス粉末体を再びトルエンを添加してボールミルで約12時間粉砕し、これにアクリル系有機バインダーを混合してさらに12時間混合し、スラリー状のセラミクス

N、雰囲気中で1300~1500℃で3時間加熱し、焼結体4を生成する。しかる後、内部電極3の露出面にベース状のCu膜を塗布した後、焼き付けで外部電極5を成形する。これにより本実施例のV、O、系セラミクス抵抗体素子1が製造される。

次に本実施例の作用効果について説明する。

本実施例のV、O、系セラミクス抵抗体素子1によれば、セラミクスの平均粒径を3μm以下としたので、各セラミクス層を素子1に支障のない大きさの抵抗体素子1が得られる厚さ(例えば24μm)に薄層化しながら必要な厚さ方向の粒子数を確保でき、ヒステリシス特性を向上させることができる。また、粒径を3μm以下にするにより、モット転移時の熱応力が緩和されるので、クラックの発生を防止でき、それだけ耐熱衝撃性を向上できる。しかも、応力緩和が一樣に速みよくなることから、温度上昇時、下降時のヒステリシスを大幅に小さくでき、その結果大電流、大電力用の制限素子として利用できる。

また、本実施例では、セラミクス層2と内部電

極3と交互に積層して、焼結体4の内部に熱伝導性の良いW製内部電極3を多数、均一に介在させたので、焼結体4の中心部、外部とも略同時に自己発熱を起こすことから、該焼結体4の温度は内部、外部とも略均一に上昇することになり、従って冷却時においても温度は内部、外部とも略均一に下降することになる。その結果、従来の抵抗体素子に生じていた中心部と外部との急激な温度差を解消でき、この点からもクラックの発生を回避でき、ヒステリシスを抑制できる。

要は、本実施例によるV₂O₅系セラミクス抵抗体素子のヒステリシス抑制効果を確認するための実験結果を示すものである。

この実験では、本実施例により製造された抵抗体素子の成分を、表のNo 1～11に示すものとし、それぞれの比抵抗、PTC倍率、ヒステリシスを測定した。ここで、比抵抗は、積層体の各内部電極間距離、及び該電極面積から算出した数値である。

表からも明らかなように、セラミクスの平均粒

径が3 μ mを超えると(No 4～6、10)、ヒステリシスは温度差が25～30℃となっており、ほとんど抑制効果を得られていない。これに対して、3 μ m以下の場合は(No 1～3、7～9、11)、温度差が5～10℃と大幅に小さくなっていることがわかる。No 4、5、10において平均粒径が3 μ m以上となっているのは、Sb₂O₃、Pb₂O₃の添加量が2.0%を超えていることから、焼結時に微小粒子同士が結合して成長したためであり、その結果ヒステリシスが悪化したものと考えられる。一方、B₂O₃の添加量が0.02%(No 6)と少ない場合も、ヒステリシスが大きくなっており、このことから、V₂O₅系セラミクス粉末に、Sb₂O₃、B₂O₃のうち少なくとも1種を0.05～2.0%範囲内で添加することが望ましい。

なお、上記実施例では、グリーンシートに電極を形成したものを積層するようにしたが、本発明の抵抗体素子はこの方法に限られるものではない。例えばフィルム上にペースト状のセラミクスをスクリーン印刷法により形成し、これの上に電極を

No	基 本 組 成	Sb ₂ O ₃ (wt%)	B ₂ O ₃ (wt%)	Pb ₂ O ₃ (wt%)	平均粒径 (μ m)	比 抵 抗 ($\times 10^{-2} \Omega \text{cm}$)	PTC 倍率	ヒステリシス (℃)	備 考
1	(V _{0.88} Cr _{0.12}) ₂ O ₅	0.05	—	—	3	4	80	10	発
2	"	0.1	—	—	2	4	100	5	明
3	"	1	—	—	2	4	70	5	例
4	"	3	—	—	5	3	60	25	比
5	"	10	—	—	10	2	40	30	較
6	"	—	0.02	—	8	6	20	25	例
7	"	—	2	—	3	3	70	5	発
8	"	—	—	1	2	1	80	5	明
9	"	—	—	2	2	2	100	10	例
10	"	—	—	10	12	1	20	30	比較例
11	"	0.5	0.5	0.5	3	3	80	10	発明例

スクリーン印刷し、これを繰返繰り返して積層体を形成してもよい。

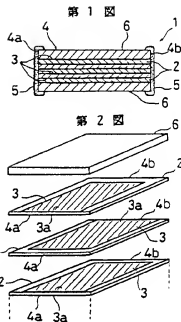
(発明の効果)

以上のように本発明に係るV、O系セラミクス抵抗体素子によれば、セラミクスを $3\mu\text{m}$ 以下としたので、セラミクス層の薄層化ができるとともに、熱衝撃性に優れ、かつヒステリシスを抑制できるから、大電力用の制御素子として利用できる効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例によるV、O系セラミクス抵抗体素子を説明するための断面正面図、第2図はその内部電極が形成されたセラミクス層の積層状態を示す分解斜視図、第3図は従来のV、O系抵抗体素子のヒステリシス特性を示す図である。

特許出願人 株式会社 村田製作所
代理人 弁護士 下 市 男



第3図

